

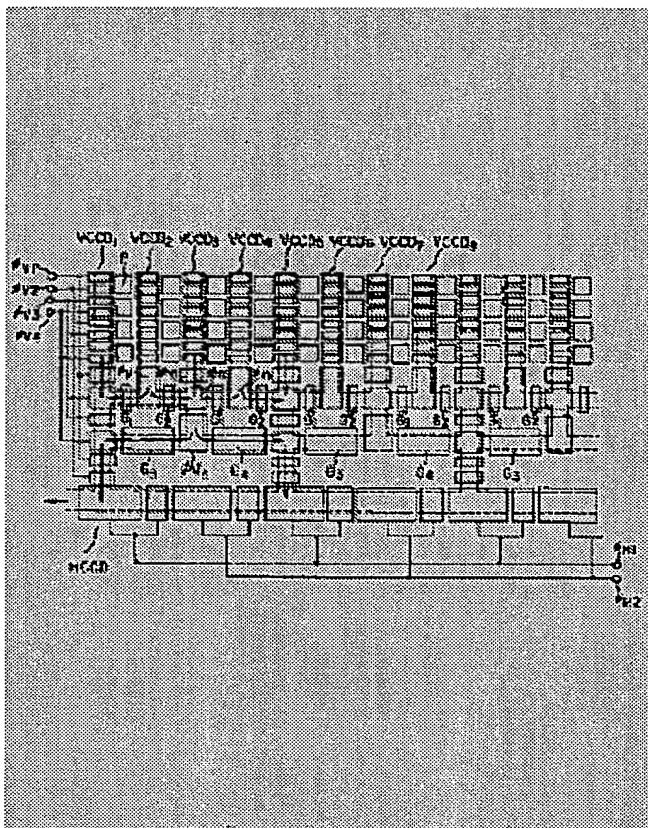
SOLID-STATE IMAGE PICKUP DEVICE

Patent number: JP6284344
Publication date: 1994-10-07
Inventor: NISHIDA YASUAKI; others: 07
Applicant: NIPPON HOSO KYOKAI ; others: 01
Classification:
- **International:** H04N5/335; H01L27/148
- **European:**
Application number: JP19930069679 19930329
Priority number(s):

Abstract of JP6284344

PURPOSE: To provide a more highly sensitive and highly dynamic range solid-state image pickup device without contriving an amplifier or the conversion efficiency of a charge conversion part.

CONSTITUTION: This solid-state image pickup device for which plural photodetectors P are two-dimensionally arranged and one frame is constituted of four fields is provided with plural vertical CCDs (VCCD1-VCCD8) connected to the respective photodetectors P for taking out signal charge detected by the photodetectors P and transferring it in a vertical direction, adding gates Gs (G1-G4) for inputting the signal charge transferred from the vertical CCDs and adding the signal charge of four picture elements in a horizontal direction and two picture elements in the vertical direction in the respective fields and a horizontal CCD for transferring the added signal charge in the horizontal direction and reading it.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-284344

(43)公開日 平成6年(1994)10月7日

(51)IntCl.⁵

H 0 4 N 5/335

H 0 1 L 27/148

識別記号

F

庁内整理番号

7210-4M

FI

H 0 1 L 27/ 14

技術表示箇所

B

審査請求 未請求 請求項の数2 OL (全 12 頁)

(21)出願番号 特願平5-69679

(22)出願日 平成5年(1993)3月29日

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 西田 泰章

東京都渋谷区神南2丁目2番1号 日本放送協会内

(72)発明者 飯野 芳己

東京都渋谷区神南2丁目2番1号 日本放送協会内

(74)代理人 弁理士 鈴江 武彦

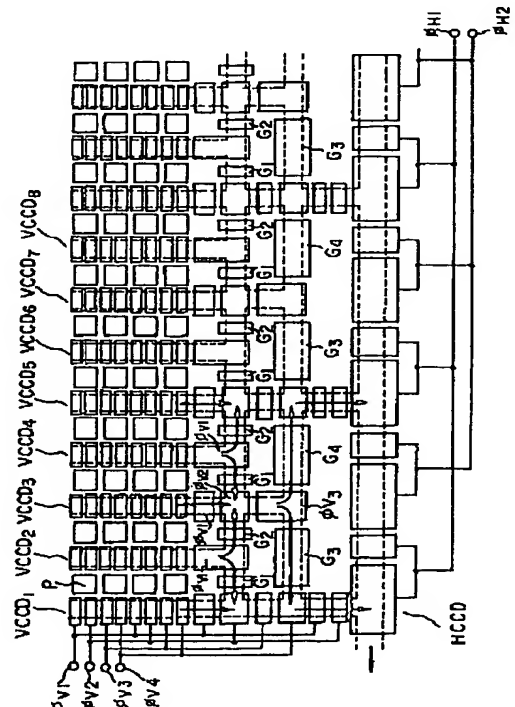
最終頁に続く

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 アンプの工夫や充電変換部の変換効率の工夫を行わないで、より高感度、高ダイナミックレンジの固体撮像装置を提供すること。

【構成】 複数の受光素子Pを2次元的に配置し、4フィールドで1フレームを構成する固体撮像装置において、各受光素子Pに接続され該受光素子Pで検出された信号電荷を取り出し垂直方向に転送する複数本の垂直CCD(VCCD1~VCCD8)と、これらの垂直CCDから転送される信号電荷を入力し、各フィールドで水平方向の4画素と垂直方向の2画素の信号電荷を加算する加算ゲートG(G1~G4)と、加算された信号電荷を水平方向に転送して読出す水平CCDとを具備してなることを特徴とする。



【特許請求の範囲】

【請求項1】複数の受光素子を2次的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、

前記各受光素子に接続され該受光素子で検出された信号電荷を讀出し垂直方向に転送する複数本の第1の信号転送路と、これらの第1の信号転送路により転送された信号電荷を入力し、各フィールドで水平方向の4画素と垂直方向の2画素の信号電荷を加算する手段と、加算された信号電荷を水平方向に転送して読出す第2の信号転送路とを具備してなることを特徴とする固体撮像装置。

【請求項2】複数の受光素子を2次的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、

前記各受光素子に接続され該受光素子で検出された信号電荷を讀出し垂直方向に転送する複数本の第1の信号転送路と、これらの第1の信号転送路により転送された信号電荷を入力し、各フィールドで n ラインの水平方向の4画素と $n \pm 1$ ラインの水平方向の2画素の信号電荷を加算する手段と、加算された信号電荷を水平方向に転送して読出す第2の信号転送路とを具備してなることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像装置に係わり、特に少ないフィールド内サンプリングポイント数で高解像度、低偽解像な信号を得るよう構成した固体撮像装置に関する。

【0002】

【従来の技術】固体撮像装置における解像度は画素数によって決まり、高解像度を得るには画素数の増加が必要となる。しかし、画素数が多いことは、画素信号読出し周波数が高くなることを意味している。このため、画素数が多いと信号帯域が広がり、ノイズが増加する。また、画素数の増大は1画素サイズの減少につながり、さらに1画素に蓄積される信号電荷数の減少になる。そして、このノイズの増加と最大蓄積信号電荷数の減少により、ダイナミックレンジが低下する。

【0003】一方、固体撮像装置においては、ナイキスト限界以上の空間周波数を持つ被写体の撮像では、モアレ等の偽信号が発生し再生像を劣化させる。この偽信号を減少させるため従来、例えば入射面に光導電膜を積層したり、レンチカラーレンズを用いる等して、画素開口を等価的に大きくしていた。しかしながら、画素ピッチより大きな開口を得ることはできず、この方法では限界があった。

【0004】また、特公昭62-40910号公報に開示されている駆動法では、偶数フィールドと奇数フィールドで垂直C/D転送方向に2画素の組み合わせを変え、その加算信号を出力レインターレース走査を行っている。この

方法は、主として信号蓄積期間をフレーム周期からフィールド周期にして残像を低減する目的で用いられているものであり、垂直方向の偽信号は減少できるものの、水平方向については従来と変わらず偽信号が発生する問題があった。

【0005】これらの問題に対して本発明者らは、水平方向画素の信号加算を行い、かつフィールド毎に信号電荷の組み合わせを異なるように駆動した固体撮像装置を提案した(特開平1-309579号公報)。以下、この提案について簡単に説明する。

【0006】図13は、この提案を説明するための模式図で、画素の配列と加算すべき画素の組み合わせ例を示している。垂直、水平方向に配列された各画素Pと、これらの画素から得られる信号電荷を垂直、水平の各2画素ずつ加算して、そのサンプリング中心点を第1フィールドは○印(SA)、第2フィールドは○印(SB)で示す。また、再生画像上の走査線を第1フィールドをN, N+1, N+2, ...で示し、第2フィールドをN', (N+1)', ...で示す。

【0007】第1, 第2フィールドで1フレームを構成する撮像方式においては、第1フィールドのN走査線に相当する画素サンプリング中心点はSA1-1, SA1-2, ...となる。このとき、サンプリング中心点SA1-1に対する検出は、画素P1-1, P1-2, P2-1, P2-2の信号電荷を加算して行う。そして、次のサンプリング中心点SA1-2のときは、画素P1-3, P1-4, P2-3, P2-4の信号電荷を加算して行う。同様に、N+1走査線に相当するサンプリング中心点SA2-1, SA2-2は、それぞれ画素画素P3-1, P3-2, P4-1, P4-2及び画素P3-3, P3-4, P4-3, P4-4を加算して行う。

【0008】この動作を各走査に応じて行い、次の第2フィールドのN'走査線に相当する画素サンプリング中心点SB1-1, SB1-2は、それぞれ画素P2-2, P2-3, P3-2, P3-3及び画素P2-4, P2-5, P3-4, P3-5を加算して行う。このとき、第1フィールドと第2フィールドの水平方向と垂直方向の画素加算は1画素ずつずらして行う。この結果、各フィールドにおけるサンプリング中心点は図に示すように○印、○印で表示した位置になる。

【0009】上記の動作を行うことにより、各画素より構成される画素ピッチより大きな開口が得られ、かつ第1フィールドと第2フィールド間で開口が重なる効果が生じる。これにより、モアレ等の偽信号が減少できる。第1フィールドと第2フィールドのサンプリング中心点は180°位相がずれているので、再生画像上での解像度は素子の水平画素数で決まる値と同じ高解像度が得られる。また、この動作ではフィールド内で全画素の信号電荷を讀出すので残像の少ない再生画像が得られる。さらに、画素信号電荷を4画素分加算して読出すので、垂直方向の2画素分加算に対して2倍の信号電荷になる。

【0010】図13で示した動作を実現する具体的素子構造の一例について説明する。図14は該素子を示す概略構成図、図15は信号電荷を加算するための加算電極部を示す要部構成図である。この装置は画素(P₁₋₁, P₁₋₂, ..., P_{M-N})10、垂直CCDレジスタ(第1の信号転送路)20、加算電極30、水平CCDレジスタ(第1の信号転送路)40、出力アンプ50、出力端子60で構成される。垂直CCDレジスタ20は4層($\phi V1$, $\phi V2$, $\phi V3$, $\phi V4$)で駆動され、水平CCDレジスタ40は2層($\phi H1$, $\phi H2$)で駆動される場合について示している。加算電極30は、第1及び第2の加算ゲート31, 32と垂直CCDレジスタ20の一部(この図の場合は $\phi V1$, $\phi V2$ が印加される電極)を使用する。図15で示す点線は信号電荷の転送路を示す。

【0011】画素10からの信号電荷読出しは、垂直CCDレジスタ20の転送電極のうち、 $\phi V1$, $\phi V3$ が印加される転送電極にフィールドシフトゲート21を設けて行っている。垂直方向の画素信号加算は垂直CCDレジスタ20のタイミングを工夫して行っている。そして、水平方向の画素加算は、加算電極30で行う。このとき、例えば垂直CCDレジスタ20₁, 20₂の列の信号電荷を加算するには、加算ゲート31を閉じて加算ゲート32を開く。この動作によりレジスタ20₁の信号電荷QC1とレジスタ20₂の信号電荷QC2との加算が図のa点で行える。また、垂直CCDレジスタ20₂, 20₃の列の信号電荷を加算するには、加算ゲート32を閉じて加算ゲート31を開く。この動作によりレジスタ20₂の信号電荷QC2とレジスタ20₃の信号電荷QC3との加算が図のb点で行える。

【0012】このように、1画素に1個のフィールドシフトゲート21を設けるだけで、垂直及び水平の4画素の信号電荷を加算することができ、かつフィールド毎に加算組み合わせを異ならせることができる。従って、ノイズも少なく十分大きな信号電荷を得ることができ、ダイナミックレンジの増大をはかると共に、解像度の向上及びモアレの低減をはかることができる。さらに、垂直CCDレジスタ20が直線状となり、信号転送路を単純な形で加算が実施できるので、より多画素の固体撮像素子も提供できる。また、従来素子に比べ同じ解像度を得るための水平転送段数を1/2にすることができ、水平転送の周波数を1/2に下げることができる。このため、信号帯域が下げられ、この分ノイズが減少するのでダイナミックレンジを大きくできる。さらに、フィールド毎に全ての画素の信号電荷を蓄積、読出すので、残像の少ない高画質な再生像が得られる利点がある。

【0013】しかしながら、この種の装置では信号電荷の加算が4画素までであり、感度、ダイナミックレンジの向上が従来の2倍程度である。より高い感度、ダイナミックレンジ化の要求には応じられない。なお、2フィールドで1フレームを構成する方式にあっては、4画素

以上の加算は解像度の低下を招くことになる。

【0014】

【発明が解決しようとする課題】このように、特開平1-309579号公報にあっては、4画素までの信号電荷の加算は可能であるが、それ以上の画素数の信号電荷の加算はできない。このため、より大きい感度の向上やダイナミックレンジの向上をはかるのは困難であった。

【0015】本発明は、上記事情を考慮してなされたもので、その目的とするところは、アンプの工夫や充電変換部の変換効率の工夫を行わないで、より高感度、高ダイナミックレンジの固体撮像装置を提供することにある。

【0016】

【課題を解決するための手段】本発明の骨子は、4フィールドで1フレームを構成する方式にあって、信号電荷の加算を8画素単位で行うことにある。

【0017】即ち、本発明(請求項1)は、複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、各受光素子に接続され該受光素子で検出された信号電荷を読出し垂直方向に転送する複数本の第1の信号転送路と、これらの第1の信号転送路により転送された信号電荷を入力し、各フィールドで水平方向の4画素と垂直方向の2画素の信号電荷を加算する手段と、加算された信号電荷を水平方向に転送して読出す第2の信号転送路とを具備してなることを特徴とする。

【0018】また、本発明(請求項2)は、複数の受光素子を2次元的に配置し、複数フィールドで1フレームを構成する固体撮像装置において、各受光素子に接続され該受光素子で検出された信号電荷を読出し垂直方向に転送する複数本の第1の信号転送路と、これらの第1の信号転送路により転送された信号電荷を入力し、各フィールドでnラインの水平方向の4画素とn±1ラインの水平方向の2画素の信号電荷を加算する手段と、加算された信号電荷を水平方向に転送して読出す第2の信号転送路とを具備してなることを特徴とする。ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 4フィールドで1フレームを構成する。

(2) 信号電荷の加算組み合わせを、フィールド毎に選択して行う。

(3) 4フィールドで1フレームを構成し、信号電荷の加算組み合わせを、フィールド毎に水平方向及び垂直方向に1画素ずつずらす。

【0019】

【作用】本発明(請求項1)によれば、信号電荷の加算を垂直画素配列方向で2画素、水平画素配列方向で4画素で行うので、従来あった2画素加算、4画素加算の場合に比べて8/2又は8/4倍だけ感度、ダイナミックレンジが向上できる。さらに、信号電荷の加算を水平C

CDへ入力する前に行っているので、水平画素配列の方向の加算（4個）分だけ水平CCDの転送数を減らすことが可能となり、ダイナミックレンジの拡大、消費電力の低減、低ノイズ化が可能となる。

【0020】また、本発明（請求項2）によれば、信号電荷の加算をnラインで水平画素配列方向に4画素、 $n \pm 1$ ラインで水平画素配列方向に2画素で行うので、請求項1と同様に、ダイナミックレンジの拡大、消費電力の低減、低ノイズ化が可能となる。

【0021】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

【0022】図1は、本発明の第1の実施例に係わる固体撮像装置の加算画素の組み合わせを示す画素配列図である。この実施例は、4フィールドで1フレームを構成する高精細テレビジョン方式に対応するものである。Pは感光画素、L1、～、L6は垂直方向画素配列、C1、～、C8は水平方向画素配列を示している。

【0023】ここで、矢印は各感光画素の加算組み合わせを示し、加算した後の画素重心（サンプリング中心点）は○印を第1フィールド、○印を第2フィールド、◇印を第3フィールド、◇印を第4フィールドで示している。そして、×印は周辺画素信号から形成したサンプリング中心点を示している。

【0024】なお、×印のサンプリングポイントは、作成しなくとも感度の向上に差支えない。×印のサンプリングポイントの効果は、信号のコントラスト比の大きい場合に発生するフリッカの低減にある。また、図1に示すサンプリング中心点のQa、Qb、Qc、Qd、Qe、Qf、Qg、Qhは、後述（図4）する動作説明のときの順番を示す。

【0025】図2に、第1の実施例に係わる固体撮像装置の概略構成を示す。Pは感光画素、VCCD1、VCCD2、～は垂直CCD（第1の信号転送路）、HCCDは水平CCD（第2の信号転送路）、 $\phi V1$ 、 $\phi V2$ 、 $\phi V3$ 、 $\phi V4$ は垂直CCD転送電極端子、 $\phi H1$ 、 $\phi H2$ は水平CCD伝送電極端子、G1、G2、G3、G4は加算ゲートを示す。加算ゲートG1、～、G4を制御して水平画素配列方向の画素加算を行う。

【0026】図3は、図2の装置における動作タイミング図である。 $\phi V1$ 、 $\phi V2$ 、 $\phi V3$ 、 $\phi V4$ は垂直CCD転送電極印加パルス、G1、G2、G3、G4は加算ゲート印加パルス、 $\phi H1$ 、 $\phi H2$ は水平CCD転送電極印加パルスを示し、(n)H期間はnライン目の動作、(n+1)H期間はn+1ライン目の動作を示す。HBLは水平ブランキング期間を示す。V2、V3、V4、V5、V6、V7は各パルスの高レベル、低レベルを示す。加算ゲートはパルスV4でオン、パルスV5でオフとなる。

【0027】図4は、図1に示した感光画素の加算組み

合わせ動作を説明するための図である。第1フィールド、第2フィールド、第3フィールド、第4フィールド、垂直画素配列L1、L2、～、水平画素配列C1、C2、～、そして加算中心点Qa、Qb、～は図1の記号と一致させている。加算ゲートG1、G2、G3、G4のタイミングは図3の加算ゲートと一致させている。

【0028】第1フィールドのL1・C1、L2・C1、L1・C2、L2・C2、L1・C3、L2・C3、L1・C4、L2・C4の感光画素の加算は、図の左側の動作、即ちG1をオンしてL1・C1、L2・C1、L1・C2、L2・C2の加算、G3をオンしてL1・C3、L2・C3、L1・C4、L2・C4の加算を行い、次にG4をオンして8画素の加算を行うことにより達成される。そして、加算された信号電荷は、HCCDへ転送される。この動作を各フィールド毎に加算の組み合わせを変えて行う。具体的には、各フィールド毎に加算画素の組み合わせを水平方向及び垂直方向に1画素ずつずらす。このような加算画素の組み合わせの選択は、加算ゲートG1、G2、G3、G4のオンオフ制御で行うことで可能となる。

【0029】以上のように本実施例によれば、加算ゲートと垂直CCDのパルスの制御により、垂直2画素、水平4画素の合計8画素の加算が可能となり、しかも各フィールド毎に加算画素の組み合わせを変えることができる。この結果、加算回数の増加分だけ信号電荷が増加するので感度の向上が可能となる。これは、4画素加算の場合よりも2倍の感度向上となる。さらに、4フィールドで1フレームを構成していることから、各フィールドでサンプリング中心点を水平及び垂直方向に1画素分ずらすことができ、信号電荷の加算による解像度の低下はない。また、信号電荷の加算を水平CCDへ入力する前に行っているので、水平画素配列の方向の加算（4個）分だけ水平CCDの転送数を減らすことが可能となる。このような理由から、ダイナミックレンジの拡大、消費電力の低減、低ノイズ化が可能となる。

【0030】図5は、第1の実施例でのモアレの発生とヌルの入り方の関係を示した図である。xは水平方向、yは垂直方向、○印は固定したモアレ、○印はフィールドフリッカ、×印は4フィールドフリッカの位置を示す。図5(b)に示す垂直2画素、水平4画素の8画素加算の場合、図5(a)に示すように約18MHzにヌルが入り、被写体の画像によっては目立つことがある。

【0031】図6は、この18MHzのヌルを入らないようにした8画素加算の第2の実施例を示す図である。この実施例では、図6(b)に示すようにn-1ラインでは水平2画素、nラインでは水平4画素、n+1ラインでは水平2画素となるように画素加算を行う。こうすることによって、図6(a)に示すようにモアレとヌルが信号帯域の37MHz以内で発生しないようになる。なお、信号帯域37MHzは固体撮像装置の画素数が水

平2000画素、垂直1000画素の場合を示している。

【0032】図7は、第2の実施例に係わる固体撮像装置の概略構成を示す図である。第1の実施例と異なる点は、加算ゲートG1、G2、G3、G4が横一例に並び、転送方向下流側に新たに加算ゲートA1、A2を配置したことである。また、画素の信号読出しゲートであるフィールドシフトゲートを垂直方向に左右の垂直CCDへ交互に信号電荷を読出せるように設けたことである。

【0033】次に、第2の実施例の固体撮像装置の画素加算の動作について説明する。この場合も第1の実施例と同様、4フィールドで1フレームを構成している。図8は第1フィールド第1ライン、図9は第1フィールド第2ライン、図10は第2フィールド第1ライン、図11は第3フィールド第1ライン、図12は第4フィールド第1ラインの動作を示す。図に示す×印、△印、○印、◇印はそれぞれフィールドでの8画素加算時の画素中心を示す。図中矢印が信号電荷の加算、転送方向を示している。各転送電極、加算ゲートを制御して $n-1$ ラインの2画素、 n ラインの4画素、 $n+1$ ラインの2画素の加算が可能となる。

【0034】このように本実施例によれば、加算ゲートG1、～、G4及びA1、A2と垂直CCDのパルスの制御により、水平方向に n ラインの4画素、 $n\pm 1$ ラインの2画素の合計8画素の加算が可能となり、しかも各フィールド毎に加算画素の組み合わせを変えることができる。従って、第1の実施例と同様に、ダイナミックレンジの拡大、消費電力の低減、低ノイズ化が可能となる。これに加え図6に示したように、信号帯域の37MHz以内でモアレとヌルが発生しないようにできる利点がある。

【0035】なお、本発明は上述した各実施例に限定されるものではない。加算ゲートの配置は図2又は図7に限定されるものではなく、仕様に応じて適宜変更可能である。加算ゲートを水平画素加算数に応じて増設することによって、水平4画素に限定されず、さらに加算画素数を増加することが可能である。さらに、垂直方向の画素加算は垂直CCD転送電極下で行えるが、加算ゲートを利用しても可能である。

【0036】また、本発明はインターライン転送型CCDに限定されるものではなく、フレーム転送型、MOS型、ラインアドレス型、光導電膜積層型等、1フィールドに全画素の信号電荷を同時に読出す構成であればよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0037】

【発明の効果】以上詳述したように本発明（請求項1）によれば、垂直方向の画素加算を2個、水平方向の画素加算を4個で合計8画素の加算を行うことにより、従来

の加算4個に比して2倍の感度向上、ダイナミックレンジ向上が実現できる。さらに、画素加算を水平CCD入力前に行うので、水平CCDの転送段数が減少し、消費電力の低減、S/Nの向上などを実現することができる。

【0038】また、本発明（請求項1）によれば、 n ラインの水平4画素、 $n\pm 1$ ラインの水平2画素の合計8画素の加算を行うことにより、従来の加算4個に比して2倍の感度向上、ダイナミックレンジ向上が実現できる。さらに、画素加算を水平CCD入力前に行うので、水平CCDの転送段数が減少し、消費電力の低減、S/Nの向上などを実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における画素配置の組み合わせを示す画素配列図。

【図2】第1の実施例に係わる固体撮像装置を示す概略構成図。

【図3】第1の実施例における動作タイミングを説明するための図。

【図4】第1の実施例における画素加算動作を説明するための図。

【図5】第1の実施例におけるモアレの発生とヌルの入りを説明するための図。

【図6】第2の実施例におけるモアレの発生とヌルの入りを説明するための図。

【図7】第2の実施例に係わる固体撮像装置を示す概略構成図。

【図8】第2の実施例における第1フィールド第1ラインの動作図。

【図9】第2の実施例における第1フィールド第2ラインの動作図。

【図10】第2の実施例における第2フィールド第1ラインの動作図。

【図11】第2の実施例における第3フィールド第1ラインの動作図。

【図12】第2の実施例における第4フィールド第1ラインの動作図。

【図13】従来の固体撮像装置における画素配置の組み合わせを示す画素配列図。

【図14】従来の固体撮像装置を示す概略構成図。

【図15】従来の固体撮像装置における信号加算部の具体的構成を示す図。

【符号の説明】

P…感光画素

L1、～、L6…垂直方向画素配列

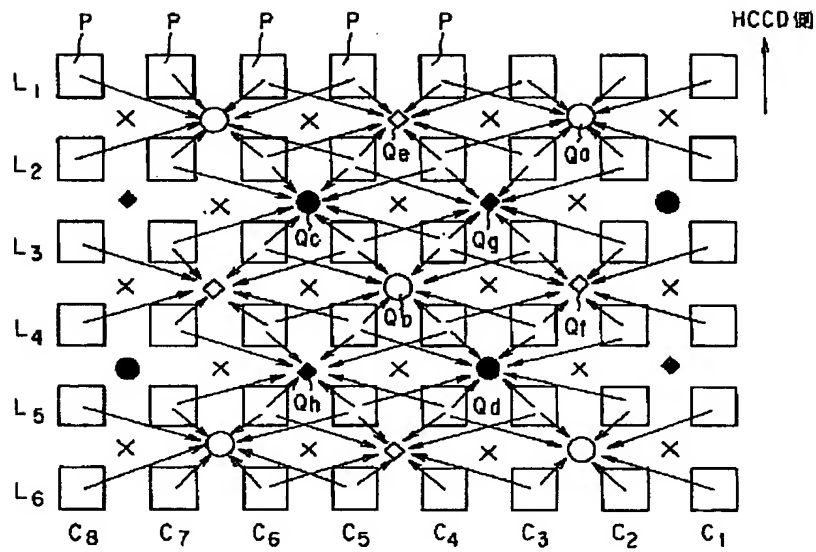
C1、～、C8…水平方向画素配列

VCCD…垂直CCD（第1の信号転送路）

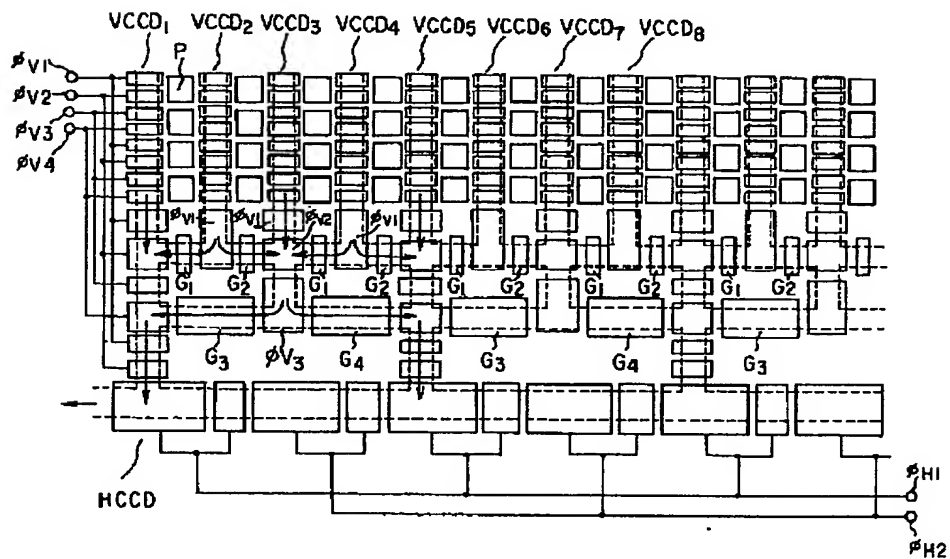
HCCD…水平CCD（第2の信号転送路）

G1、～、G4、A1、A2…加算ゲート

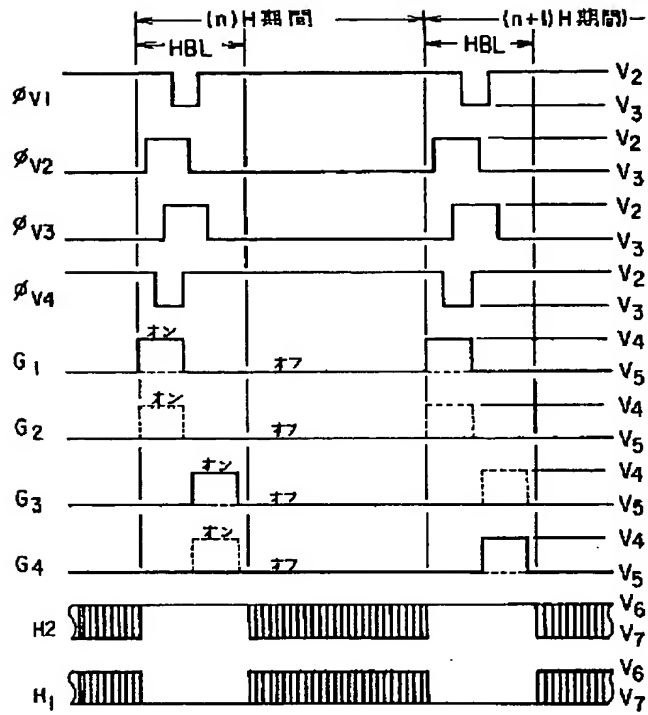
【図1】



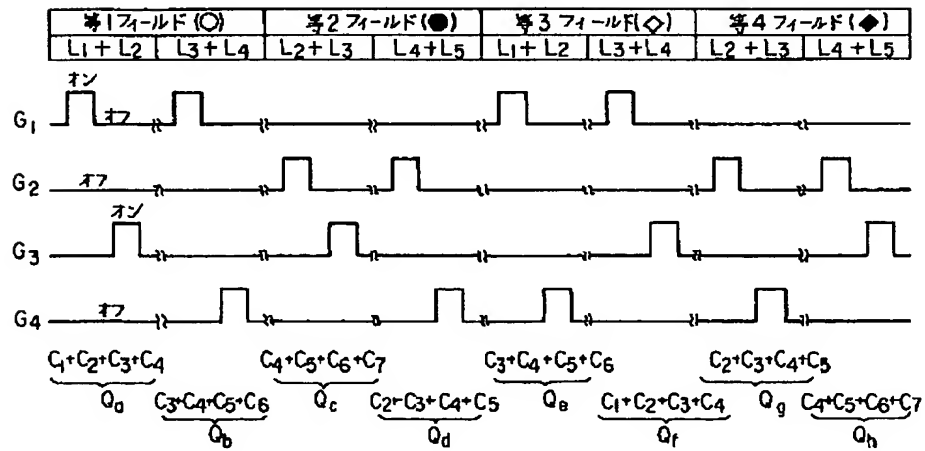
【図2】



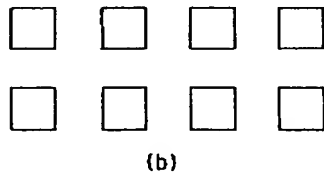
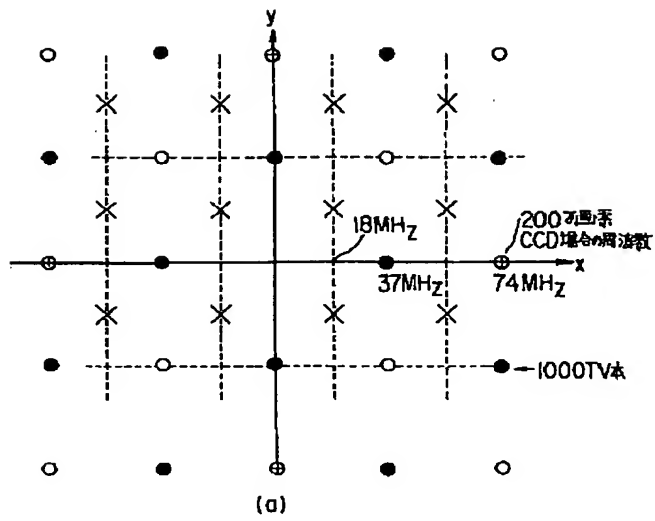
【図3】



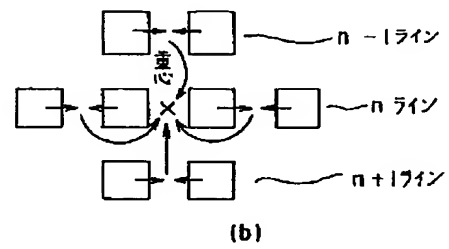
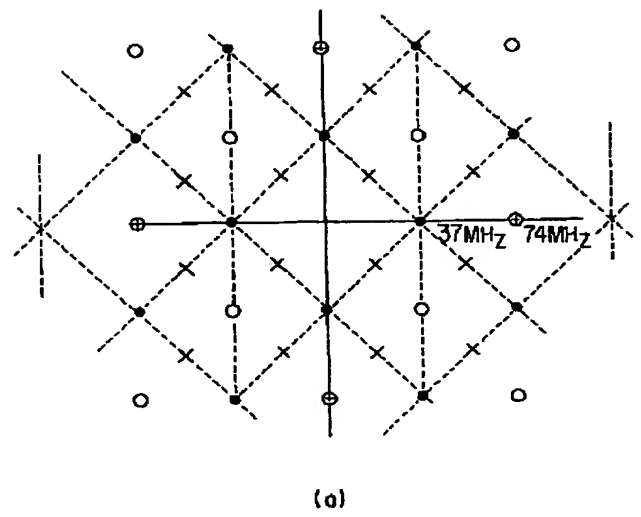
【図4】



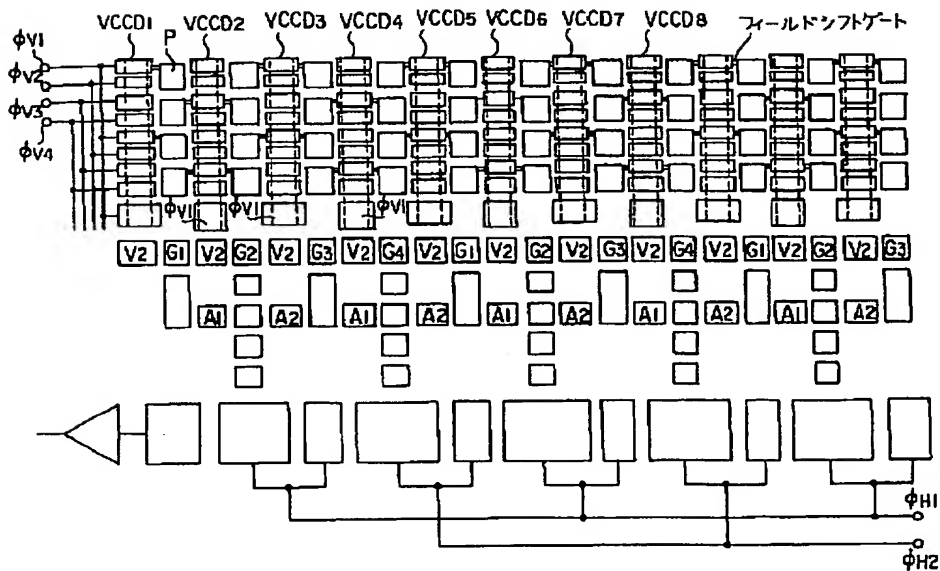
【図5】



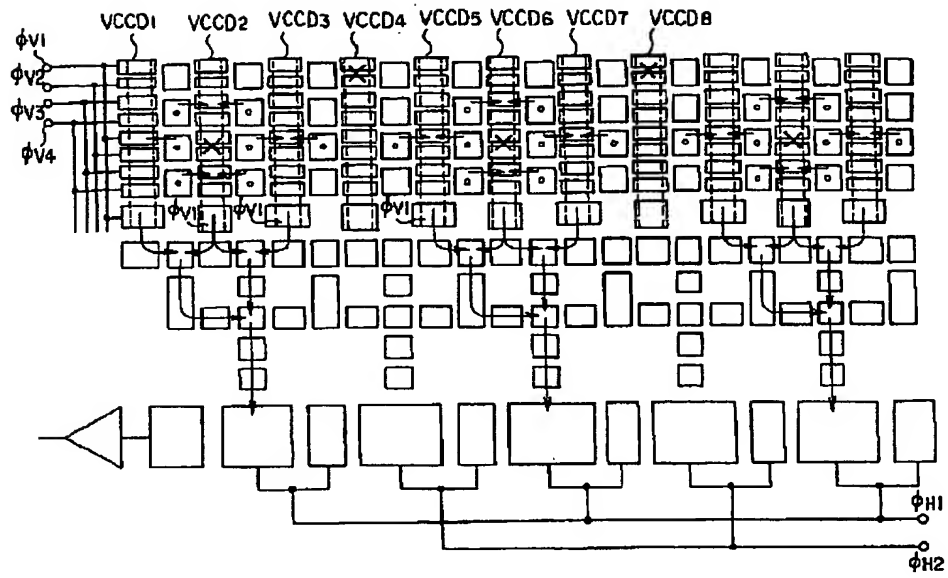
【図6】



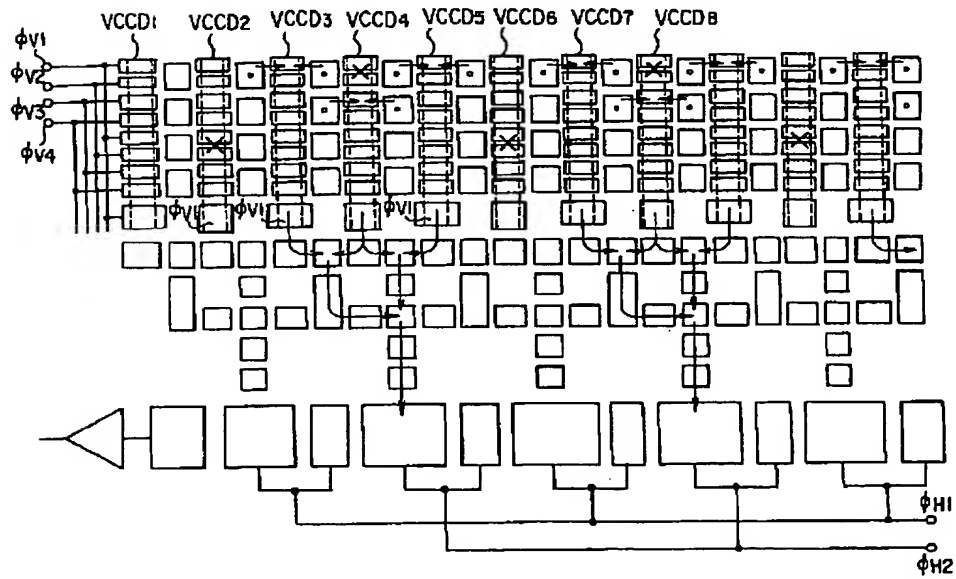
【図7】



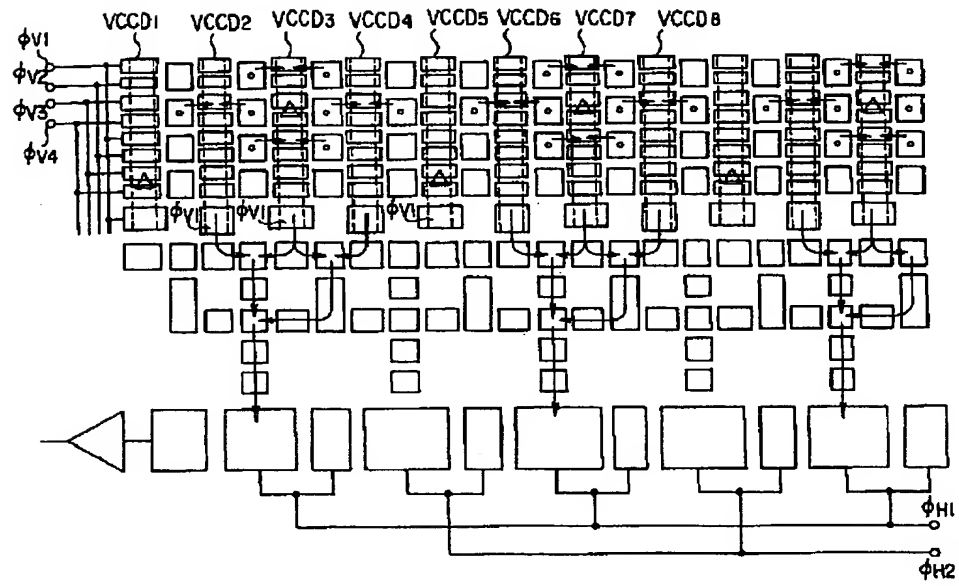
【図 8】



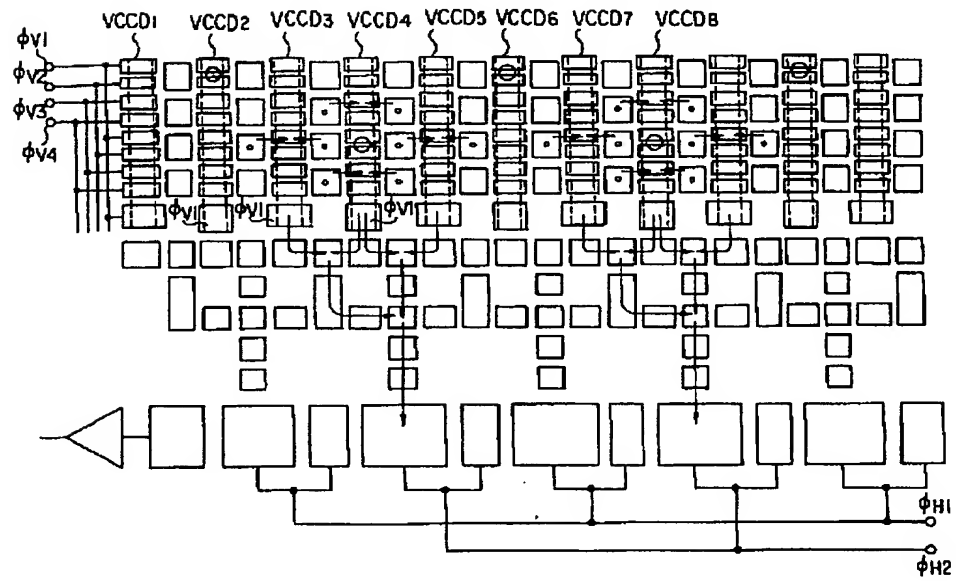
【図 9】



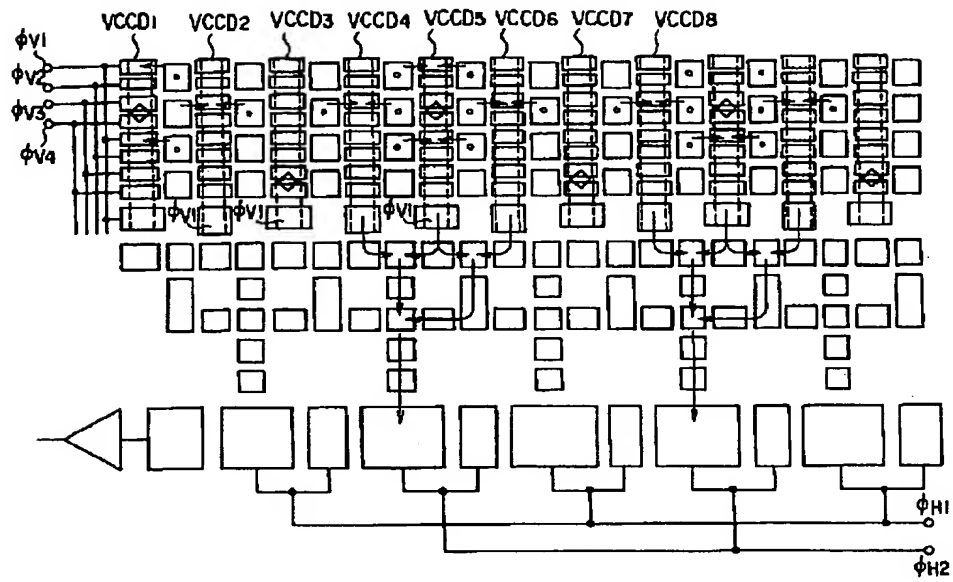
【図10】



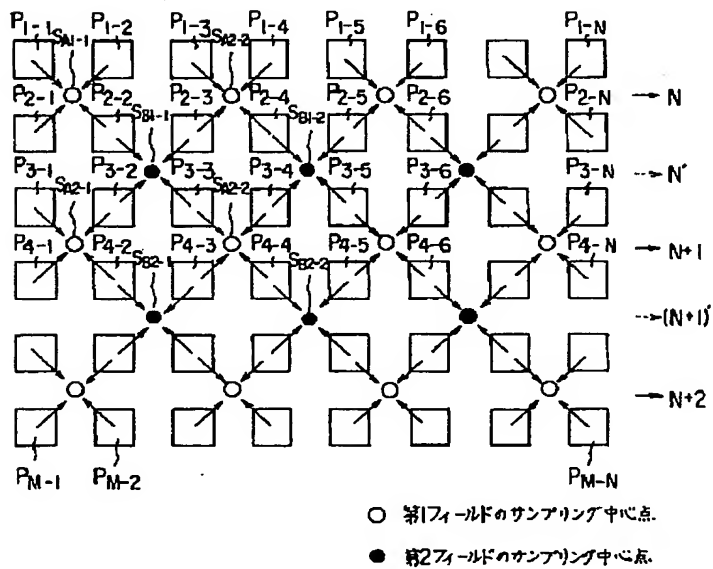
【図11】



【図12】



【図13】



The diagram shows a semiconductor device with four columns of elements, labeled 201, 202, 203, and 204. Each column contains a stack of rectangular blocks, with the top block in each column labeled 10. Below these stacks are four square blocks labeled QC1, QC2, QC3, and QC4. A bracket labeled 30 groups the QC blocks. Below the QC blocks are four more rectangular blocks labeled BG1, BG2, BG3, and BG4. A bracket labeled 40 groups these BG blocks. Electrical connections are shown on the left and bottom. On the left, four terminals are labeled ϕV_1 , ϕV_2 , ϕV_3 , and ϕV_4 . On the bottom, two terminals are labeled ϕH_2 and ϕH_1 . Various other labels include 21, 202, 203, 204, 10, FS, 31, 32, and (b). Arrows indicate connections between the ϕV terminals and the top blocks, and between the ϕH terminals and the BG blocks.

(72) 発明者 大竹 浩
東京都渋谷区神南2丁目2番1号 日本放送協会内

(72) 発明者 阿部 正英
東京都渋谷区神南2丁目2番1号 日本放送協会内

(72) 発明者 遠藤 幸雄
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

- 12 -